



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01197722 A**(43) Date of publication of application: **09.08.89**

(51) Int. Cl.

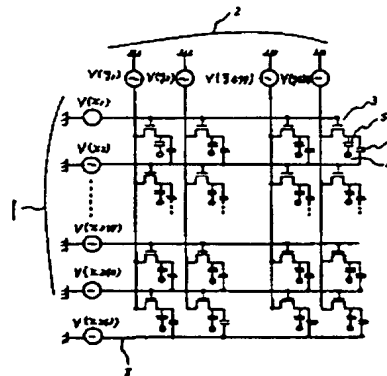
**G02F 1/133****G02F 1/133****G09G 3/36****H01L 27/12**(21) Application number: **63021960**(22) Date of filing: **03.02.88**(71) Applicant: **HITACHI LTD**(72) Inventor: **KANEKO YOSHIYUKI  
TSUKADA TOSHIHISA****(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS  
DRIVING METHOD****(57) Abstract**

**PURPOSE:** To surely hold signals and, at the same time, to prevent deterioration of the resistance of liquid crystal by eliminating gate pulse leakage at the time of driving in such a way that a dummy gate line is provided and additional capacities are formed to the picture element electrodes of all picture elements.

**CONSTITUTION:** Part of the picture element electrodes accompanied with a thin-film transistor TET 3 overlaps with part of the gate line 1 of the next stage through an insulating film. Moreover, the picture element electrodes of the final stage overlap with a dummy gate line 8 and are provided with additional capacities 6. Synchronously to the gate pulse which drives the above-mentioned TET 3, pulses of the opposite polarity and an AC waveform are respectively impressed upon the next-stage gate line 1 or dummy gate line 8 and a data line 2. The potential of counter electrodes 4 is set at the center potential or in the vicinity of the center potential of the AC waveform. When the additional capacities are set to  $(V_1 \times V_2) \times C$ , leakage of the gate pulse is reduced and signals are surely held. At the same time, deterioration of the resistance of the liquid

crystal is prevented. The  $V_1$  and  $V_2$  respectively represent amplitudes of the gate pulse and gate pulse of the opposite polarity and the C is the potential between the gate and source of the TET 3.

COPYRIGHT: (C)1989,JPO&amp;Japio



**Japanese Publication for Unexamined Patent Application  
No. 197722/1989 (Tokukaihei 1-197722)**

**A. Relevance of the Above-identified Document**

This document has relevance to Claims 1, and 11 of the present application.

**B. Translation of the Relevant Passages of the Document**

[EMBODIMENT]

**FIRST EMBODIMENT**

An embodiment of the present invention is explained below.

Figure 1 is an equivalent circuit diagram of a whole TFT matrix array of the present embodiment. Figures 5(a) and 5(b) are respectively a plan view schematically illustrating a liquid crystal display apparatus of the present embodiment, and a cross-sectional view taken on line A-A' of Figure 5(a). To begin with, a manufacturing process of the liquid crystal display apparatus of the present embodiment is described referring to Figures 5. A gate line 1 and a dummy line 12 are formed on an insulating substrate 51. Then, a SiN film 52 is deposited on top of that so as to be a gate insulating film. On top of that, a non-crystalline silicon film 53 is deposited, and then

patterned. Thereby, a TFT 3 is formed. 2 is a data line  $y_j$ . 54 is a source electrode, which is connected to a display electrode 55. 6 is an additional capacitor, which is formed by overlapping the display electrode 55 with the gate line or the dummy line 12, which is adjacent to the display electrode 55. The TFT matrix array has a surface that is covered with a SiN film 56, totally but except its necessary parts such as terminal sections. Alignment layers 58 are formed on the thus arranged TFT substrate and on a glass substrate 57 on which an opposite electrode 5 made of a transparent conductive film is formed. Thereafter, the TFT substrate and the glass substrate 57 are faced to each other. Then, liquid crystal 59 is sealed in between them, thereby accomplishing a display apparatus.

Next, the whole TFT matrix array of the present embodiment is explained with reference to Figure 1. It has a pixel number of  $240 \times 480$ . It has a gate line number of 241, including one line of a dummy data line. As shown in the figure, one end of the additional capacitor 6 of the pixel that is driven by a gate line  $x_i$  is connected to a next gate line  $x_{i+1}$ . However, where  $i = 240$ , it is connected to the dummy gate line.

Shown in Figure 6 is a driving waveform of the liquid crystal display apparatus of the present

embodiment. Here, a conventional driving waveform is applied onto the present invention having the dummy gate line. A voltage leakage  $c_{gs}$  into a pixel section due to a parasitic capacity  $c_{gs}$  between a gate and a source is about - 6 V when a pixel capacity, which includes the parasitic capacitor and an additional capacity  $C_{add}$ , is equal to 0.36 pF. When a  $C_{add} = 1.8$  pF is provided, the parasitic capacity  $c_{gs}$  is reduced to - 1.3 V with respect to all the pixels on the screen. This reduces deterioration in resistance of liquid crystal in the pixel section, thereby improving image quality.

Note that, with respect to the driving waveform, as long as the pixels on the last stage and the dummy gate line function as additional capacitors,  $V(x_{241})$  may have no gate pulse waveform, and may be a constant voltage, provided that it is not potential-necessary-floating. For example, it may be simply equal to a potential of an opposite electrode.

In the present embodiment, a number of the dummy gate line may be plural, not limited to one. A size of a matrix is not limited to this. The gate insulating film and the surface protecting film are not limited to SiN.

## SECOND EMBODIMENT

A second embodiment of the present invention is explained, referring to Figure 7. The present invention, which has an utterly identical manufacturing process to that of the first embodiment, is characterized in that a dummy line is provided on an upper part of a screen. It has such a basic arrangement that an additional capacitor is formed between electrodes and a foregoing gate line. As to driving, driving similar to that of the first embodiment also improves its image quality.

Although the first and second embodiments discuss the cases where the additional capacitor is formed between the display electrodes and the next gate line or the foregoing gate line, the present invention is not limited this. Needless to say, it is effective that the additional capacitor is formed between the display electrodes and a gate line next to one or that forgoes the forgoing gate line.

#### THIRD EMBODIMENT

As a third embodiment of the present invention, discussed here is a driving method that is more effective for improving the image quality in the liquid crystal display apparatus of the first embodiment. Figure 8(a) is an equivalent circuit diagram for one pixel, while Figure 8(b) is a timing chart for voltages

$V(x_i)$  and  $V(x_{i+1})$ , which are respectively applied on two gate lines  $(x_i)$  and  $(x_{i+1})$  shown in the equivalent circuit. Those voltages are characterized in that a pulse having opposite polarity with respect to a gate pulse is applied onto a next gate line or a dummy line, synchronously to application of a gate pulse for driving a TFT. The use of the voltages further reduces voltage leakage, compared with the first embodiment.

$\Delta V_3$  and  $\Delta V_4$ , which are voltages respectively where  $t = t_3$  and where  $t = t_4$  in Figure 8(b), are represented respectively as:

$$\Delta V_3 = -(C_{gs}/C) \cdot V_1 + (C_{add}/C) \cdot (V_1 + V_2),$$

$$\Delta V_4 = -(C_{add}/C) \cdot V_1,$$

Where  $c = C_{gs} + C_{px}$ .

Because a sum  $\Delta V$  of leakage voltage applied onto pixel electrodes is represented as  $\Delta V_3 + \Delta V_4$ :

$$\begin{aligned} \Delta V &= \Delta V_3 + \Delta V_4 \\ &= -(C_{gs}/C)V_1 + (C_{add}/C)V_2. \end{aligned}$$

In case  $C_{add}$  is not zero, and  $V_2$  is not zero, it is possible to further reduce the leakage voltage, compared with the first embodiment. Especially, when

$C_{add} = (V_1/V_2) \cdot C_{gs}$  is satisfied, it is possible to reduce the leakage voltage to zero.

Note that the waveform to be added to the dummy line may be composed only of a supplemental pulse  $V_2$ , but need not have a pulse  $V_1$  that turns on the TFT.

According to the present embodiment, it is possible to realize driving that makes a direct current voltage completely zero, with respect to all the pixels on the screen. This significantly improves the image quality.

Moreover, a panel having the arrangement of the second embodiment may be driven in a similar manner to the driving of the present embodiment. However, it is possible to realize more preferable driving in which an effect of crosstalk is small, when the additional capacitor  $C_{add}$  is formed with the next gate.

⑫ 公開特許公報(A) 平1-197722

⑬ Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑭ 公開 平成1年(1989)8月9日  
G 02 F 1/133 3 2 7 7370-2H  
3 3 2 8708-2H  
G 09 G 3/36 8621-5C  
H 01 L 27/12 A-7514-5F 審査請求 未請求 請求項の数 5 (全6頁)

⑮ 発明の名称 液晶表示装置およびその駆動方法

⑯ 特 願 昭63-21960

⑰ 出 願 昭63(1988)2月3日

⑱ 発 明 者 金子 好之 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 塚田 俊久 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

液晶表示装置およびその駆動方法

2. 特許請求の範囲

1. 複数個のデータ線とこれに直交する複数個のゲート線を備え、その各交点に薄膜トランジスタを形成した基板と、全面透明導電体を形成した基板を有し、上記両基板間に液晶を封入した液晶表示装置において、上記薄膜トランジスタに付随した両素電極の一部が絶縁膜を介して次段のゲート線の一部と重畳し、最後段の両素電極はダミーゲート線の一部と重畳していることを特徴とする液晶表示装置。

2. 特許請求の範囲第1項において、上記薄膜トランジスタを駆動するゲートパルスに同期して、上記次段のゲート線あるいはダミーゲート線に上記ゲートパルスと逆極性のパルスを印加する手段、上記データ線に交流波形を印加する手段、および上記交流波形の中心電位もしくはその近傍に上記対向電極の電位を設定する手段を有す

ることを特徴とする液晶表示装置。

3. 特許請求の範囲第2項において、上記両素電極と上記次段のゲート線あるいはダミーゲートの電圧によって形成される静電容量  $C_{add}$  の値と、上記ゲートパルスの振幅  $V_1$  と、上記逆極性のパルス振幅  $V_2$  および薄膜トランジスタのゲート・ソース間容量  $C_{gs}$  の値が、

$$C_{add} = (V_1 - V_2) \cdot C_{gs}$$

なる関係を満足することを特徴とする液晶表示装置。

4. 複数個のデータ線とこれに直交する複数個のゲート線を備え、その各交点に薄膜トランジスタを形成した基板と、全面透明導電体を形成した基板を有し、上記両基板間に液晶を封入した液晶表示装置の駆動方法において、上記薄膜トランジスタに付随した両素電極の一部が絶縁膜を介して次段のゲート線の一部と重畳し、最後段の両素電極はダミーゲート線の一部と重畳し



ており、上記薄膜トランジスタを駆動するゲートパルスに同期して上記段のゲート線には上記ゲートパルスと逆極性のパルスを印加し、かつ上記データ線には交流波形を印加し、かつ該交流波形の中心電位もしくはその近傍に上記対向電極の電位を設定することを特徴とする液晶表示装置の駆動方法。

5. 特許請求の範囲第4項において、上記画素電極と上記隣接するゲート線の重畳によって形成される付加容量 $C_{ad}$ の値と、上記ゲートパルスの振幅 $V_1$ と、上記逆極性のパルス振幅 $V_2$ および上記薄膜トランジスタのゲート・ソース間容量 $C_{gs}$ の値が

$$C_{ad} = (V_1 + V_2) \cdot C_{gs}$$

なる関係を満足することを特徴とする液晶表示装置の駆動方法。

### 3. 発明の詳細な説明 〔産業上の利用分野〕

・イー・イー、トランザクション オン エレクトロン デバイセス、イーディー20、(1973年)第995頁から第1001頁 (IEEE, Trans. Electron Devices, ED-20 (1973) pp. 995-1001) に記載されるものが簡便であり、頻繁に用いられている。この方法は第3図の一画素部の等価回路に示すように、付加容量 $C$ を隣接するゲート線と表示電極の間に形成するものであり、通常、作製プロセスの変更をせずに実現できるという特長を有している。

さらに上記方法による付加容量を具備するTFTマトリクスアレイにおいては、併せて駆動上の利点がある。これは、例えば特開昭59-119390号公報に記載されているように、TFTのゲート・ソース寄生容量 $C_{gs}$ 7に起因するゲートパルスの表示部への電圧漏れ込みを相殺する方式である。実際この電圧漏れ込みを放電すると液晶層への直流電圧印加が引き起こされ、液晶の抵抗が劣化してしまう。この対策として上

本発明はアクティブマトリクス型液晶表示装置およびその駆動方法に係り、特に高画質を得るのに好適な液晶表示装置およびその駆動方法に関する。

〔従来の技術〕

近年薄膜トランジスタ（以下TFTと略称する）で駆動する液晶表示装置が注目されている。第2図に従来公知のTFTマトリクスアレイの基本構成を示す。表示画面は縦 $m$ 本のゲート線1と、横 $n$ 本のデータ線2が直交して配置され、 $m \times n$ 個の表示画素に分割されている。各マトリクスの交点にはTFT3が設けられ、そのスイッチ機能により各画素に画像情報が伝達される。この情報に従い、上記アレイ上に設けられた液晶の各画素に対応した領域5で表示が実現される。

ところでTFTがオフとなり画像情報が画素部に保持される期間中に、液晶層の自己放電あるいはTFTのリーク電流が原因で画像信号が壊れてしまうという問題が生じる。この問題の対策としては、各画素に付加容量を設けるのが一般的である。付加容量の設け方法としては、アイ・イー

記TFTにゲート線を通じてゲートパルスが印加される時に、上記方法による付加容量を通じて逆極性のパルスを印加すれば上記の直流電圧の印加を阻止することが可能となる。

〔発明が解決しようとする課題〕

しかしながら、上記従来技術によるTFTマトリクスアレイにおいては、ゲート線の数が駆動電圧入力数と合致しているため、全ての画素に付加容量を設けることは不可能であった。例えば、第4図に示された従来例では、最後段のゲート線によって駆動される画素に付加容量を設けることはできない。ところで、付加容量のない画素では信号保持良が発生するだけでなく、上述のように液晶層に直流電圧が印加されて抵抗劣化が生じ、その抵抗の劣化した液晶が流動して拡散するための画面上の大きな面積に亘って画質劣化が引き起こされる。

本発明の目的は、画面上の全画素に付加容量を設けることを可能とし、液晶層に印加される直流電圧成分を原理的に零にまで低減し、それによ

って画質を大幅に改善することのできる液晶表示装置およびその駆動方法を提供することにある。

(課題を解決するための手段)

上記目的は、従来技術にて付加容量の設置し得なかった画素にも容量を付加するためのダミーゲート線を設け、それを用いて画面上の全画素について一つの画素を挟む2本のゲート線のうち、その画素を駆動するTFTが接続されていないゲート線あるいはダミーゲート線と上記画素の画素電極との間に付加容量 $C_{add}$ を形成し、上記TFTにゲート線を通じて印加されるゲートパルスに同期させて、上記 $C_{add}$ の接続されるゲート線あるいはダミーゲート線に上記ゲートパルスと逆極性のパルスを印加することにより達成される。

(作用)

本発明により新たに設けられたダミーゲート線は、従来付加容量の設置されなかった画素の表示電極との間に、従来と全く同様な方法で付加容量形成を可能とし、従って画面上の全画素において、

上述の $C_{add}$ の存在によるゲートパルス漏れ込み分を打ち消す駆動が可能になるので、信号保持を確保すると同時に、液晶の抵抗劣化を防止することができる。

(実施例)

実施例1。

以下本発明の一実施例を説明する。

第1図は、本実施例によるTFTマトリクスアレイ全体の等価回路図であり、第5図(a)、(b)はそれぞれ本実施例の液晶表示装置の要部を示す平面図およびそのAA'断面図である。まず第5図により本実施例の液晶表示装置のその製造工程に従って説明する。絶縁性基板51上にゲート線、ダミー線1、12を形成し、その上にゲート絶縁膜となるSiN膜52を堆積し、この上に非晶質シリコン膜53を堆積、パターニングしてTFT3を形成する。2はデータ線 $\gamma$ 、54はソース電極であり、ソース電極54は表示電極55に接続されている。6は付加容量部であり、表示電極55と隣接するゲート線あるいはダミー

線12との重畳により形成されている。TFTマトリクスアレイの表面は、端子部等必要な部分を除いて全面をSiN膜56で被覆される。以上のように構成されるTFT基板と、透明導電膜からなる対向電極5を形成したガラス基板57とに配向膜58を設けた後に向いあわせて、その間に液晶59を封入して表示装置が完成する。

次に第1図により本実施例によるTFTマトリクスアレイ全体を説明する。画素数は $240 \times 480$ である。ゲート線数はダミーゲート線1本を含む241本である。同図に示されるように、ゲート線 $x_i$ で駆動される画素の付加容量6の一端は次段のゲート線 $x_{i+1}$ に接続される。ただし $i = 240$ のときはダミーゲート線に接続される。

本実施例の液晶表示装置の駆動波形を第6図に示す。これは従来の駆動波形をダミーゲート線を有する本発明に適用したものである。ゲート・ソース間寄生容量 $C_{gs}$ による画素部への電圧漏れ込みは、この寄生容量と付加容量 $C_{add}$ を含めた画素容量 $C_{px} = 0.36 \text{ pF}$ で上記漏れ込み

量は $-6 \text{ V}$ 程度であったのが $C_{add} = 1.8 \text{ pF}$ を設けると $-1.3 \text{ V}$ まで低減することが画面上の全画素について達成できるので画素部液晶の抵抗劣化を低減することができ画質を向上することができる。

なおこの駆動波形においては最後段の画素とダミーゲート線が付加容量の働きをするのみで良いので、 $v(x_{241})$ はゲートパルス波形でなくても良く電位要浮遊でなければ一定の電位であっても良い。例えば簡単には対向電極電位と等しくしておいても良い。

本実施例においてダミーゲート線の本数は1本に限らず複数本でもよい。マトリクスの大きさはこれに限らない。ゲート絶縁膜及び表面保護膜についてもSiNに限るものではない。

実施例2。

本発明の液晶表示装置の第2の実施例を第7図を用いて説明する。液晶表示装置の製造工程は実施例1と全く同様であるが、本実施例では、ダミー線を画面上部に有することに特徴がある。基

本構成は付加容量を電極と前段のゲート線の間に形成するものである。駆動においても実施例1と同様の駆動を行えば画質向上の効果がある。

上記実施例1、実施例2においては、付加容量を表示電極と次段あるいは前段のゲート線の間に形成する場合を挙げたが、本発明はこれに限らず、次々段、前々段あるいはそれ以上離れたゲート線との間に付加容量を形成しても有効であることは言うまでもない。

#### 実施例3.

本発明の第3の実施例として、上記実施例1による液晶表示装置において画質向上により効果のある駆動方法を説明する。第8図(a)は一画素分の等価回路図であり、第8図(b)はその等価回路に示された2本のゲート線 $x_1$ 、 $x_{1+1}$ に各々印加される電圧 $v(x_1)$ 、 $v(x_{1+1})$ のタイミングチャートを示したものである。この電圧の特徴は、TFTを駆動するゲートパルスが印加されるのに同期して、次段のゲート線あるいはダミー線にゲートパルスとは逆極性のパルスを印加

ることができる。特に $c_{add} = (\frac{v_1}{v_2}) \cdot c_{gs}$ を満たすようにすると漏れ込み電圧を零とすることができる。

なおダミー線に加える波形はTFTをオンさせるパルス $v_1$ を加える必要はなく、補償パルス $v_2$ のみから成り立っていても良い。

本実施例によれば、画面上の全面素子について、直流電圧分を完全に零とする駆動が実現できるので、画質向上に大きな効果がある。

また実施例2の構成によるパネルにも本実施例と同様の駆動を行うことができるが、付加容量 $c_{add}$ を次段のゲート線とで形成した方がクロストークの影響も小さくより望ましい駆動を実現できる。

#### 〔発明の効果〕

本発明によれば、新たに設けられたダミーゲート線を用いることにより、従来では付加容量の設けられなかった画素にもその付加容量を形成することができ、従って、画面上の全面素子において、ゲートパルス漏れ込みを打消す駆動が可能になる。

する点にある。この電圧を用いると上記実施例1に述べられたよりも更に一層の電圧漏れ込みの低減を達成できる。

第8図(b)の $t=t_3$ および $t_4$ における電圧漏れ込み $\Delta v_3$ 、 $\Delta v_4$ はそれぞれ

$$\Delta v_3 = -(c_{gs}/c) \cdot v_1 + (c_{add}/c) \cdot (v_1 + v_2)$$

$$\Delta v_4 = -(c_{add}/c) \cdot v_1$$

で表わされる。

ここで $c = c_{gs} + c_{px}$ である。

画素電極に印加されるもれ込み電圧の総和 $\Delta v$ は、 $\Delta v_3 + \Delta v_4$ で表わされるので、

$$\Delta v = \Delta v_3 + \Delta v_4$$

$$= -(\frac{c_{gs}}{c})v_1 + (\frac{c_{add}}{c})v_2$$

となる。 $c_{add} \approx 0$ 、 $v_2 \approx 0$ の場合は上記実施例1の場合に比べ更に漏れ込み電圧を小さくす

その結果、信号保持を確実にし、かつ液晶の抵抗劣化を防ぎ、高画質の液晶表示装置を実現ができるという効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を説明するための図、第2図は従来のTFTマトリクスアレイの等価回路図、第3図は第2図のTFTマトリクスアレイの一画素部の等価回路図、第4図は従来技術による付加容量を有するTFTマトリクスアレイの等価回路図、第5図は本発明の一実施例による液晶表示装置の平面図および断面図、第6図は本発明の一実施例で用いた液晶表示装置の駆動波形を示す図、第7図および第8図は本発明の他の実施例を説明するための図である。

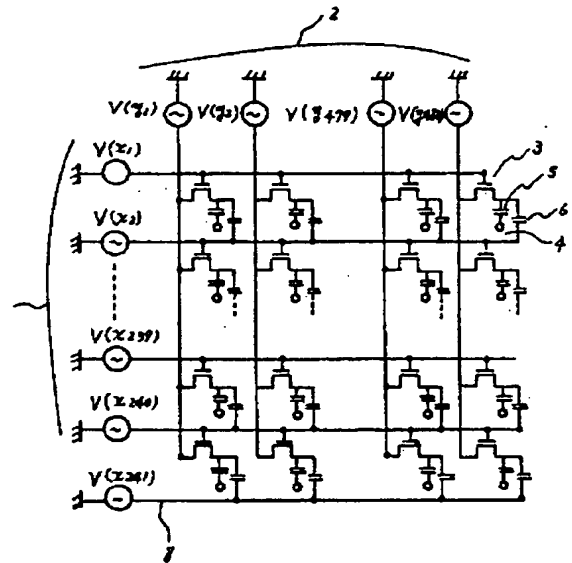
1…ゲート線、2…データ線、3…TFT、  
4…対向電極、5…液晶容量、6…付加容量、  
7…ゲート・ソース間寄生容量、8…ダミー線、  
51、57…ガラス基板、52…ゲート絶縁膜、  
53…非晶質シリコン膜、54…ソース電極、  
55…表示電極、56…表面保護膜、58…配向

図. 59 ... 液晶.

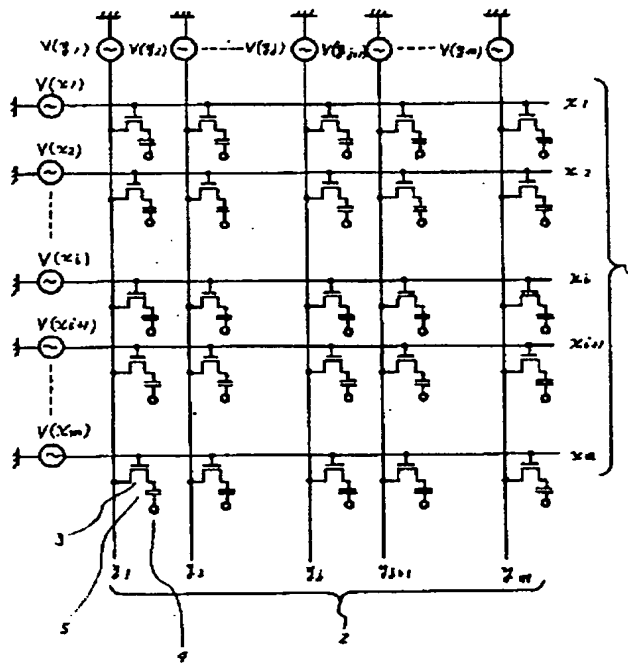
弁理人 弁理士 小川 勝



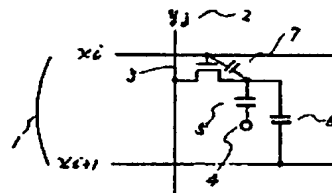
第 1 図



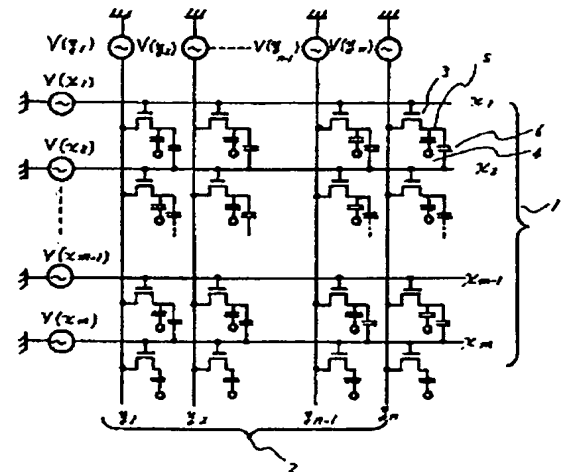
第 2 図



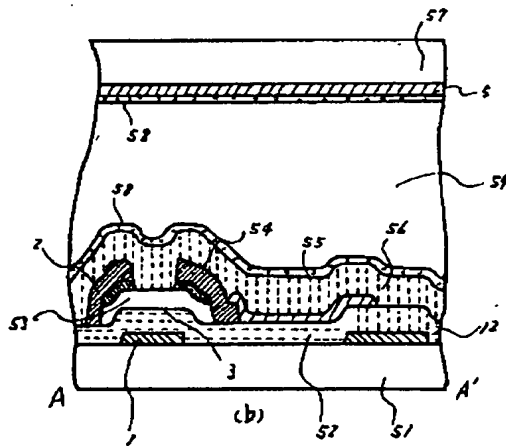
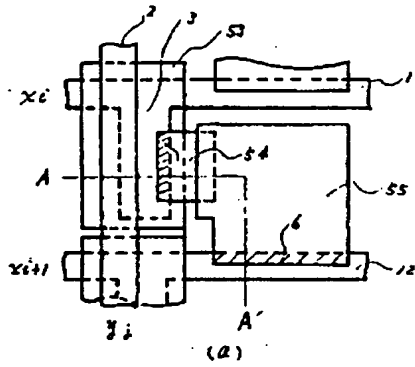
第 3 図



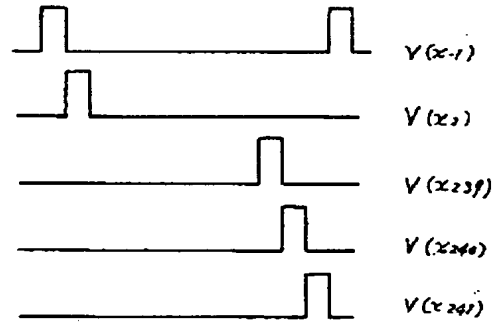
第 4 図



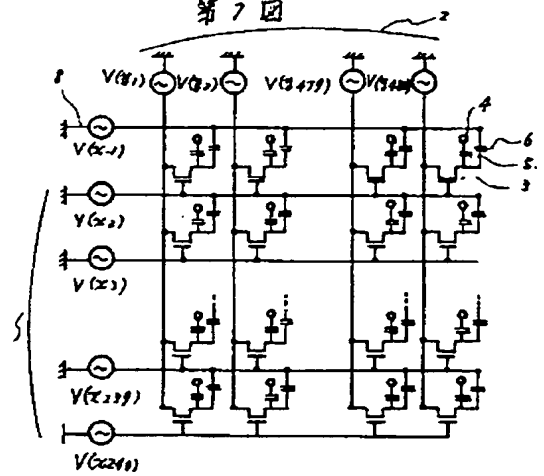
第 5 圖



第 6 圖



第 7 圖



第 8 圖

